

第3回順序回路1

フリップフロップの動作

- ・フリップフロップの種類と動作
- ・応用回路の設計・製作、動作確認

1. 目的

組合せ論理回路に続き順序回路について学ぶ。
今回はその初めとして一番シンプルな**フリップフロップ**について種類と動作を学ぶ。
応用回路の設計・製作を通して理解を深める。

2. フリップフロップの構成

フリップフロップ (Flip-flop; 以下FFと略す) は、インバーター2個を互いに正帰還がかかるように接続することによって構成される。
状態を記憶することができる。

インバーター: 高ゲインの反転増幅器

正帰還: 出力の一部を入力に戻すことを帰還(feedback)と呼ぶが、出力の変化を抑える(位相で)ように戻す場合を負帰還、逆に変化を助長させるように戻す場合を正帰還という。

順序論理回路

組み合わせ論理回路では

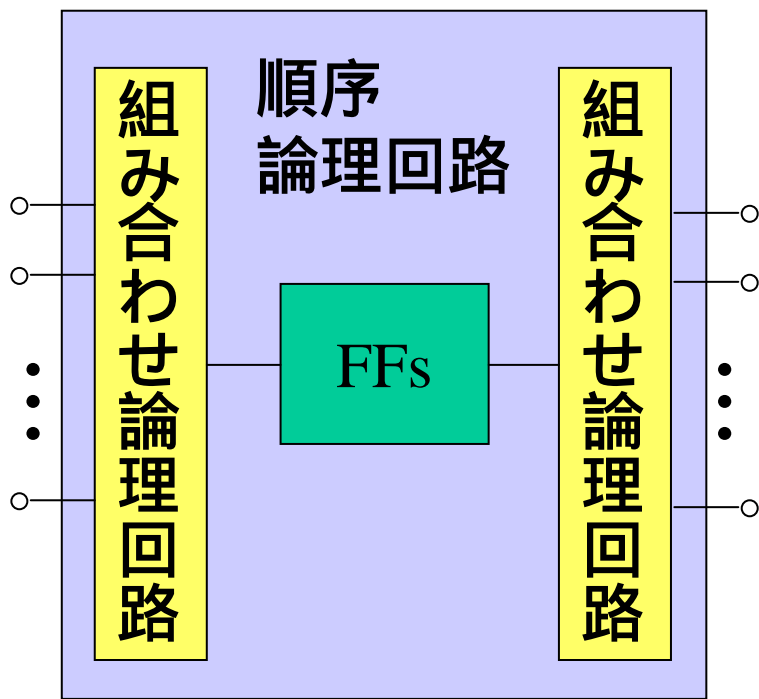
$$\text{出力} = f(\text{入力})$$

で記述するように、入力の組み合わせで出力が決まっていた。

順序論理回路では、

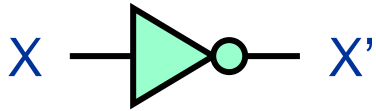
$$\text{出力} = f(\text{内部状態、入力})$$

で記述されるように、入力の組み合わせだけでなく内部状態によっても出力が変化する。内部状態の記憶はFFによって行われる。

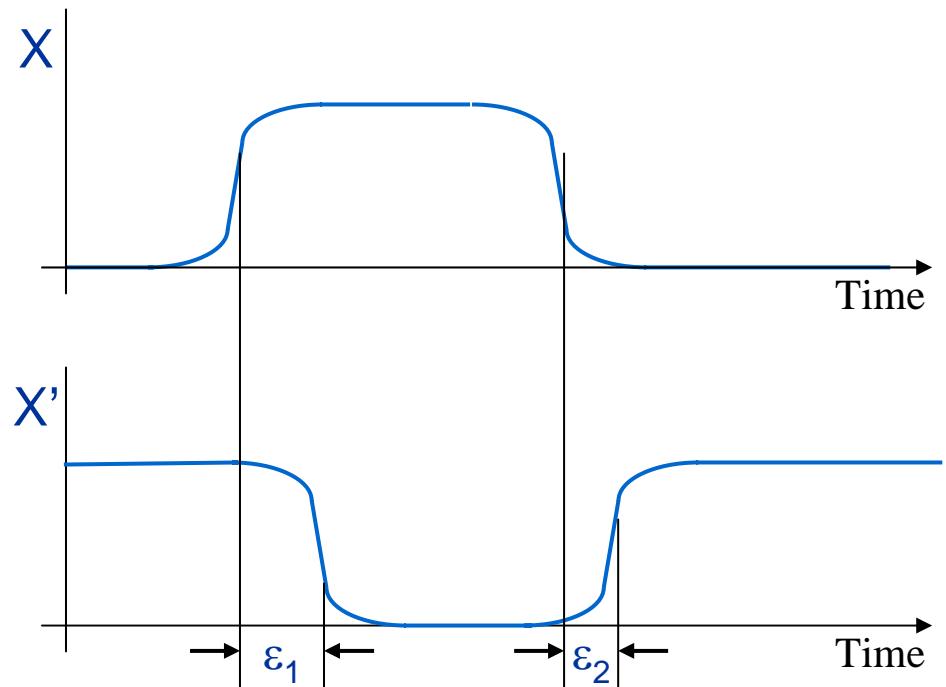


より具体的には、入力の組み合わせに応じて記憶素子であるFFの状態を変化させるのに必要なFFの入力を決定する。さらに、内部状態の変化に基づき必要な出力を組み上げる。

論理ゲートは遅延がある。



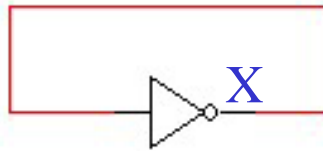
普通はゲートの遅延がドミナントだが、高速LSIでは配線/容量による遅延も無視できなくなる。



遅延 →

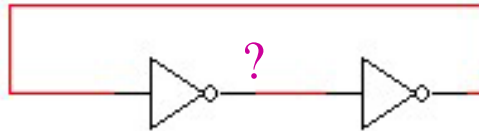


回路内にフィードバックループが存在すると

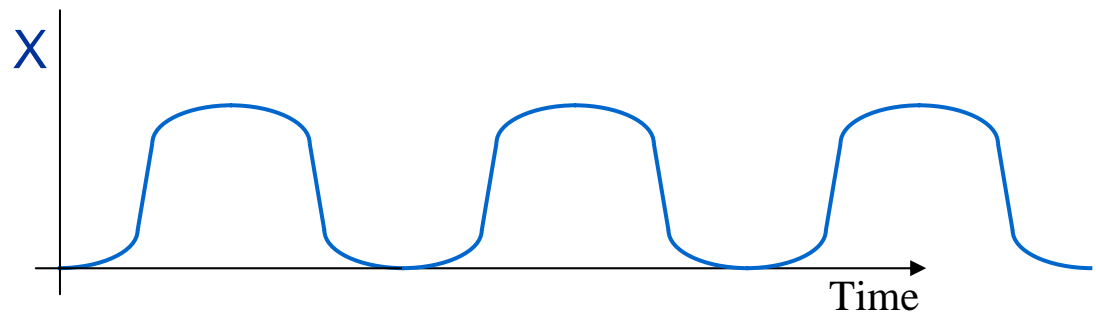
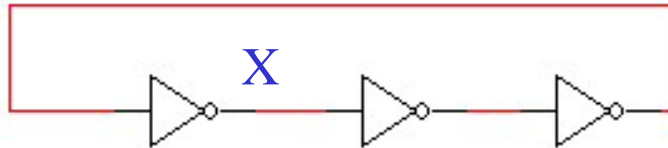


NOTゲートが奇数個のループは発振する。

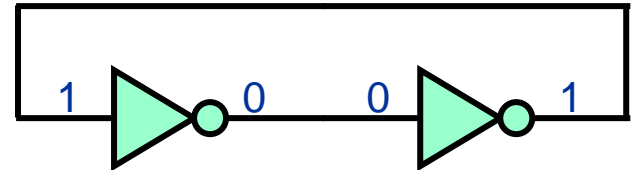
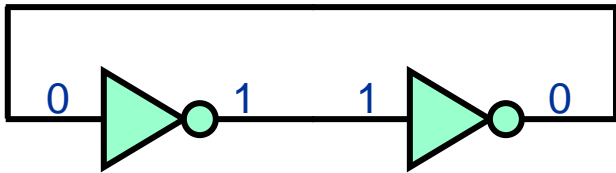
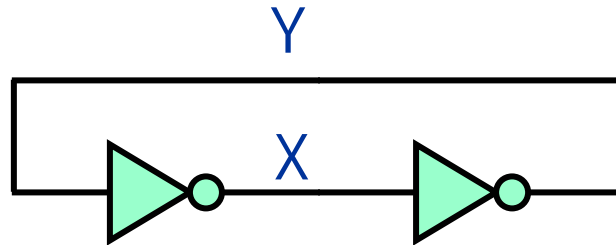
(一個だと通常は発振しない)



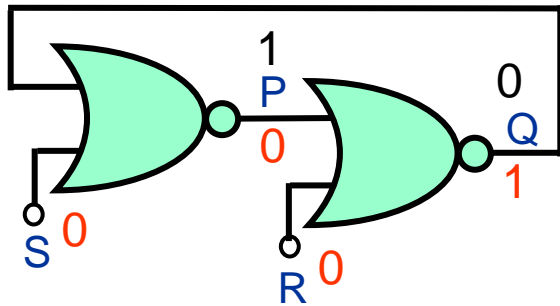
偶数個の場合は？



2個のNOTゲートのループ回路の振る舞い



2個のNORゲートのループ



S,Rの入力が“0”の時のゲート出力は？

(1) $P=0$ とした時;

$P=0$ and $Q=1$ で安定

(2) $P=1$ とした時;

$P=1$ and $Q=0$ で安定

双安定回路 Set Reset Flip Flop

NOR回路による RS-FF

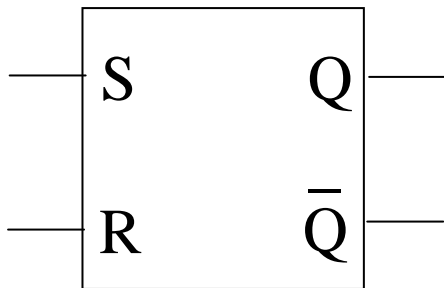
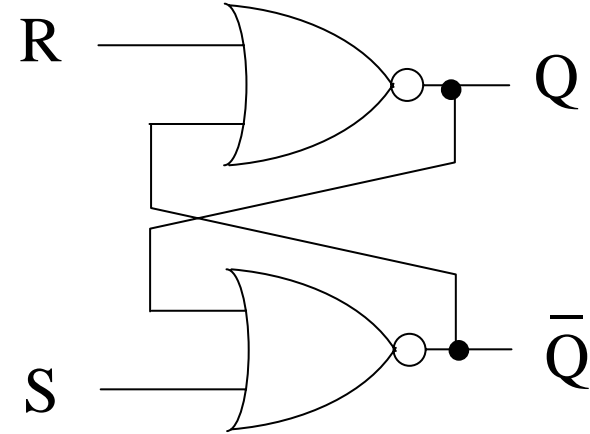
真値値表

S	R	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	-
1	1	1	-

動作のまとめ

S	R	Q_{n+1}	
0	0	Q_n	: Keep
0	1	0	: Reset
1	0	1	: Set
1	1	-	: Inhibit

} $Q = \bar{Q} = 0$ となるので
使用不能となる。



カルノー図

SR \ Q_n	0	1
00		1
01		1
11	ϕ	ϕ
10	1	1

特性方程式

$$Q_{n+1} = S + \bar{R}Q_n$$

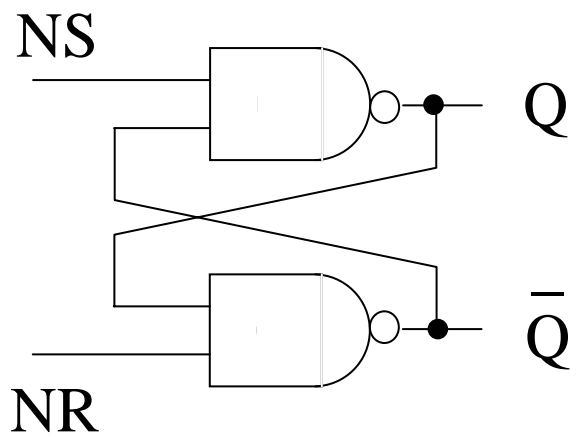
ただし、 $SR = 0$



NAND回路による RS-FF

真理値表

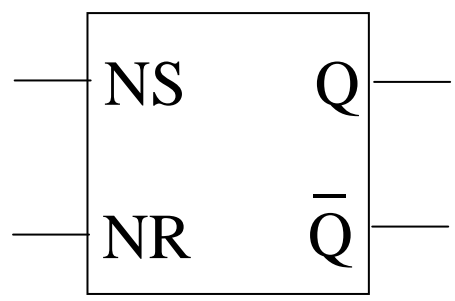
動作のまとめ



NS	NR	Q_n	Q_{n+1}
1	1	0	0
1	1	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
0	0	0	-
0	0	1	-

NS	NR	Q_{n+1}	
1	1	Q_n	: Keep
0	1	0	: Reset
1	0	1	: Set
0	0	-	: Inhibit

$Q = \bar{Q} = 1$ となるので
使用不能となる。



カルノー図

NS \ NR \ Q_n	0	1
00	ϕ	ϕ
01		
11		1
10	1	1



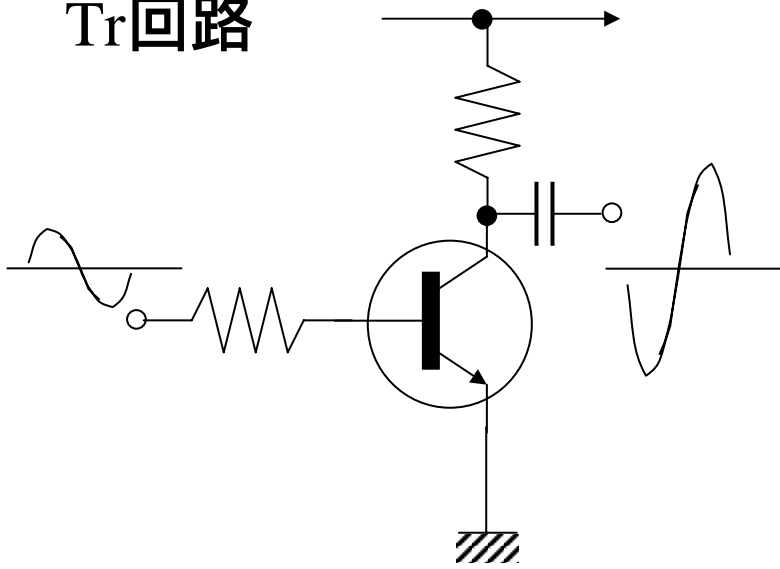
特性方程式

$$Q_{n+1} = \overline{NR} + NS \cdot Q_n$$

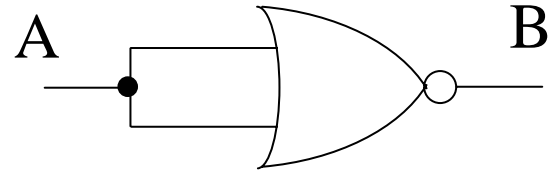
ただし $\overline{NS} \cdot \overline{NR} = 0$ は禁止

インバーターの例

Tr回路

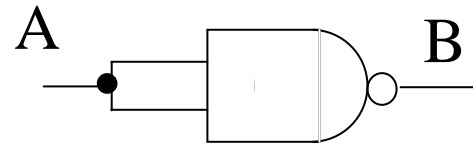


NOR回路



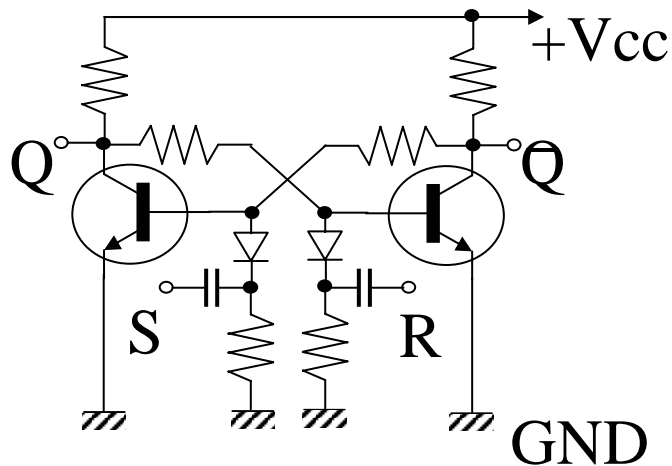
A	B
0	1
1	0

NAND回路



A	B
0	1
1	0

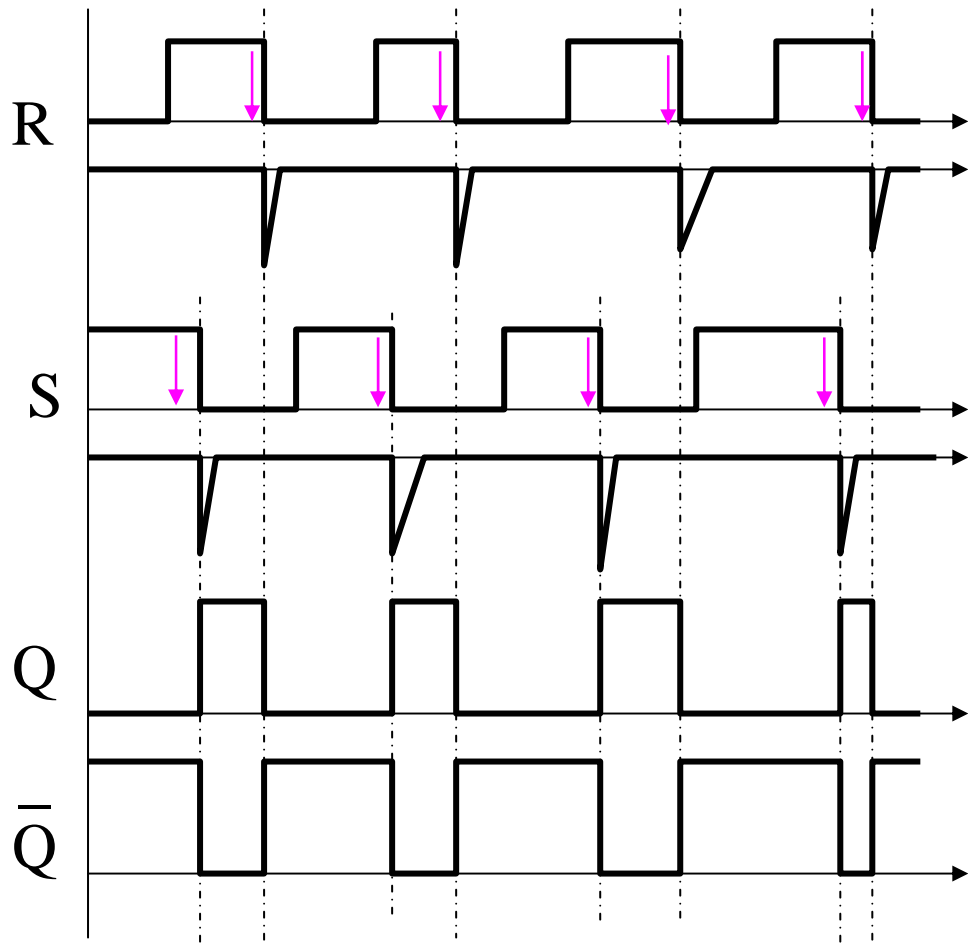
TrによるRS-FF(双安定マルチバイブレータ)



S,Rに入力が入るとそのTrがOFFになり、状態が反転する。

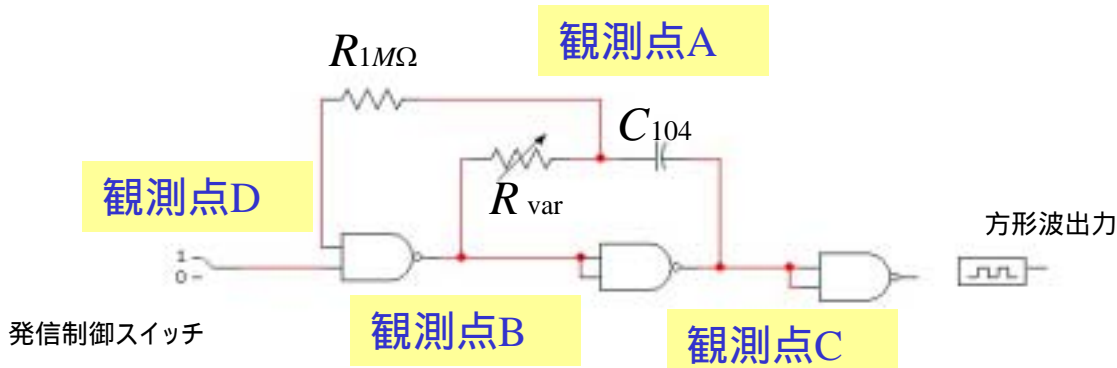
エッジトリガ型のRS-FF

個別部品で作ることは現在は殆ど行われない

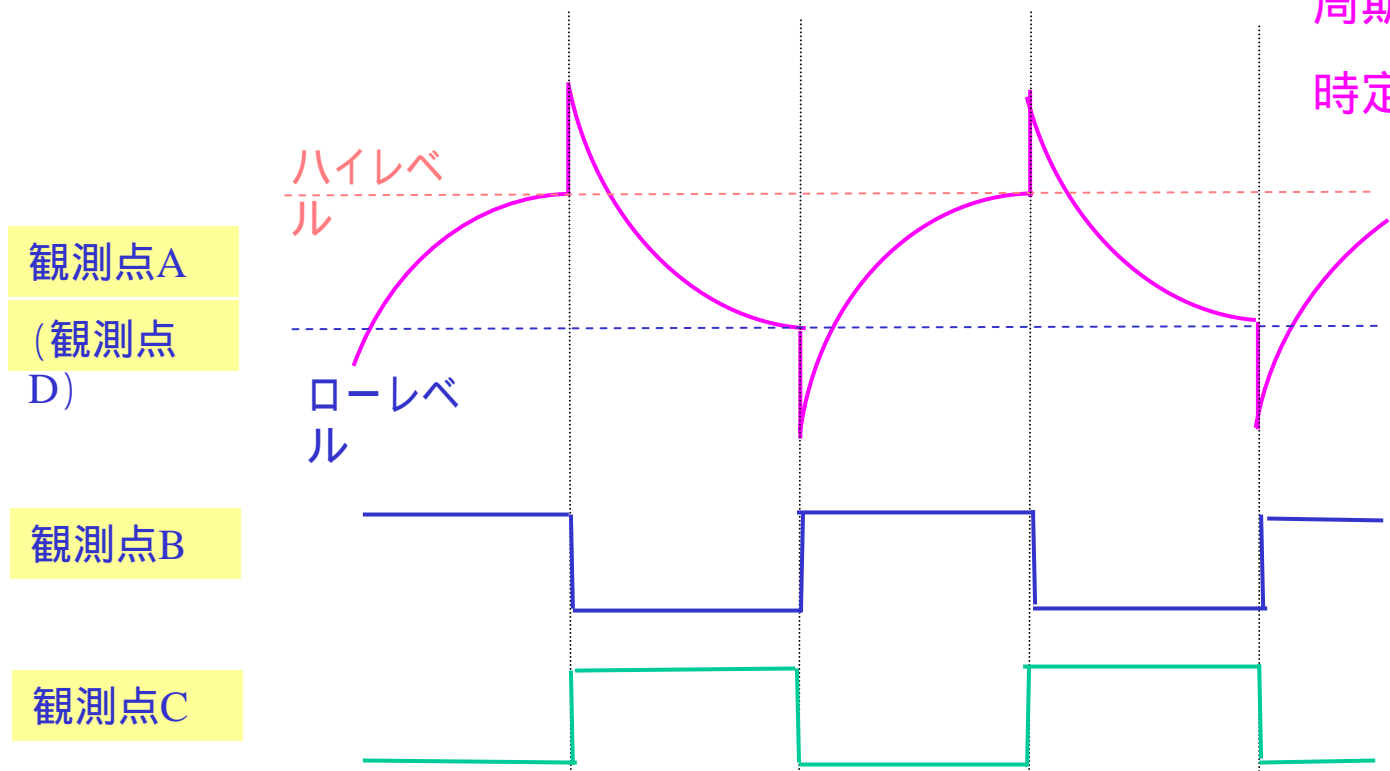


タイミング図

第1回実験で使用したクロック回路は？ デジタル回路をアナログ的に利用



周期は $R_{var}C_{104}$ の
時定数で決まる



第三のNANDゲートはアナログ波形の影響を避けるための整形用

3 . FFの有用性と種類

- ・FFは順序回路を構成するための記憶回路を実現するために重要
- ・FFだけでも有用な(順序)回路が構成できる。

カウンタ、シフトレジスタ、ラッチ、
分周期...

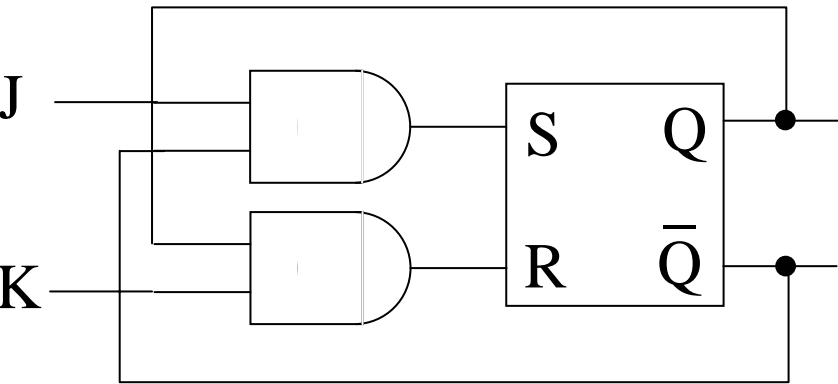
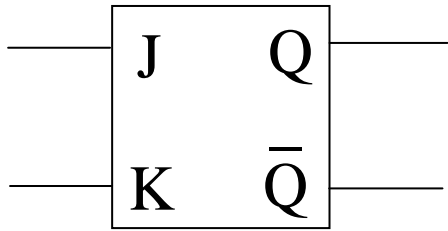
FFの種類

RS-FF の他にも JK-FF やその一部の機能を抜き出した T-FF, D-FF がある。

さらに、動作形態として同期型やマスタスレーブ型、(ポジティブ/ネガティブ)エッジトリガー型等がある。

3.1 JK-FF

RS-FFにおける $SR = 0$ の条件を緩和したもの。



真理値表

J	K	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0



カルノー図

JK \ Q_n	0	1
00		1
01		1
11	1	1
10	1	1



特性方程式

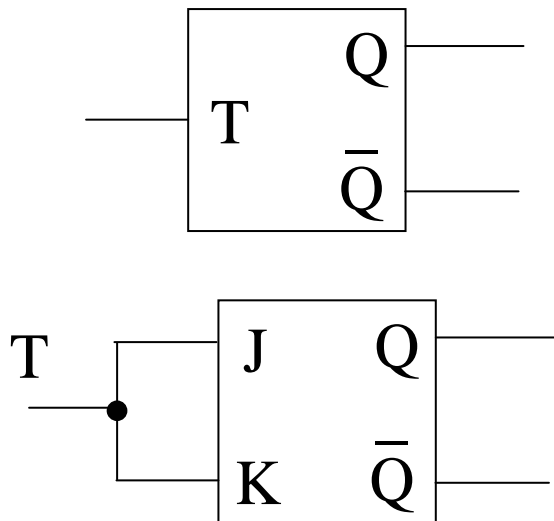
$$Q_{n+1} = \bar{K}Q_n + J\bar{Q}_n$$

動作のまとめ

J	K	Q_{n+1}	
0	0	Q_n	: Keep
0	1	0	: Reset
1	0	1	: Set
1	1	\bar{Q}_n	: Invert

3.2 T-FF

...JK-FFにおいて入力を J=K の条件で使用することに対応。



真理値表

T	Q_n	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0



特性方程式

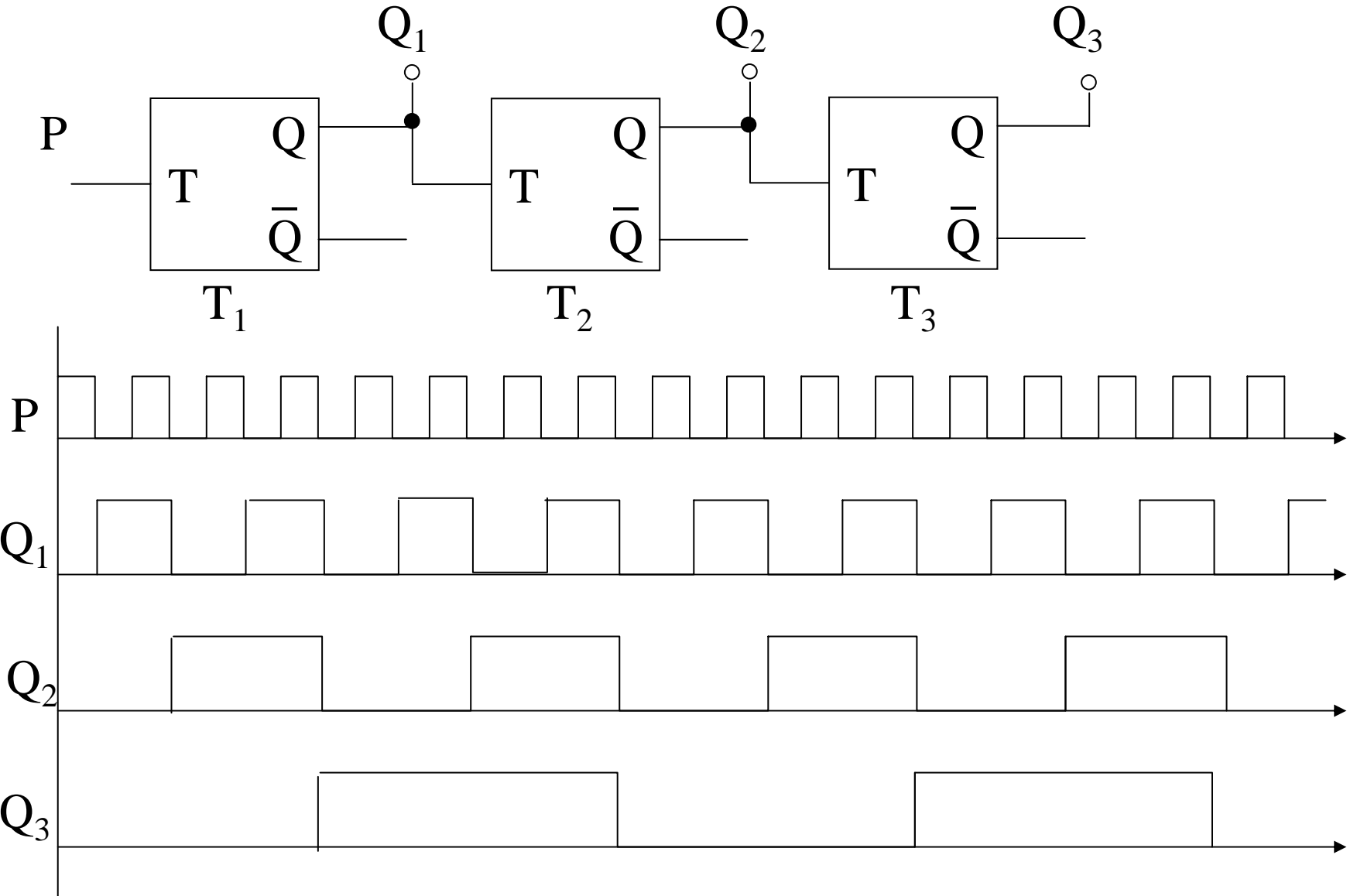
$$Q_{n+1} = \bar{T}Q_n + T\bar{Q}_n$$

動作のまとめ

T	Q_{n+1}	
0	\underline{Q}_n	: Keep
1	\bar{Q}_n	: Invert

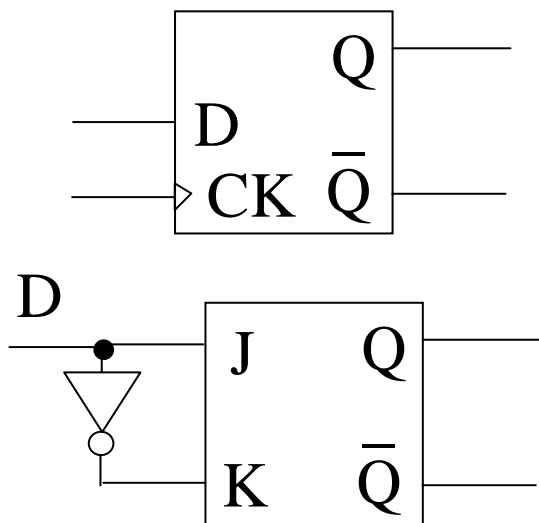
3.3 T-FF の応用:分周器 … 1個のT-FFで周波数が1/2になる

注) 前段の変化が次々に影響が波及 直流駆動型、非同期式カウンタなど



3.4 D-FF

...JK-FF において入力を $J = \bar{K}$ の条件で使用することに対応。



真理値表

D	Q_n	Q_{n+1}
0	0	0
0	1	0
1	0	1
1	1	1



特性方程式

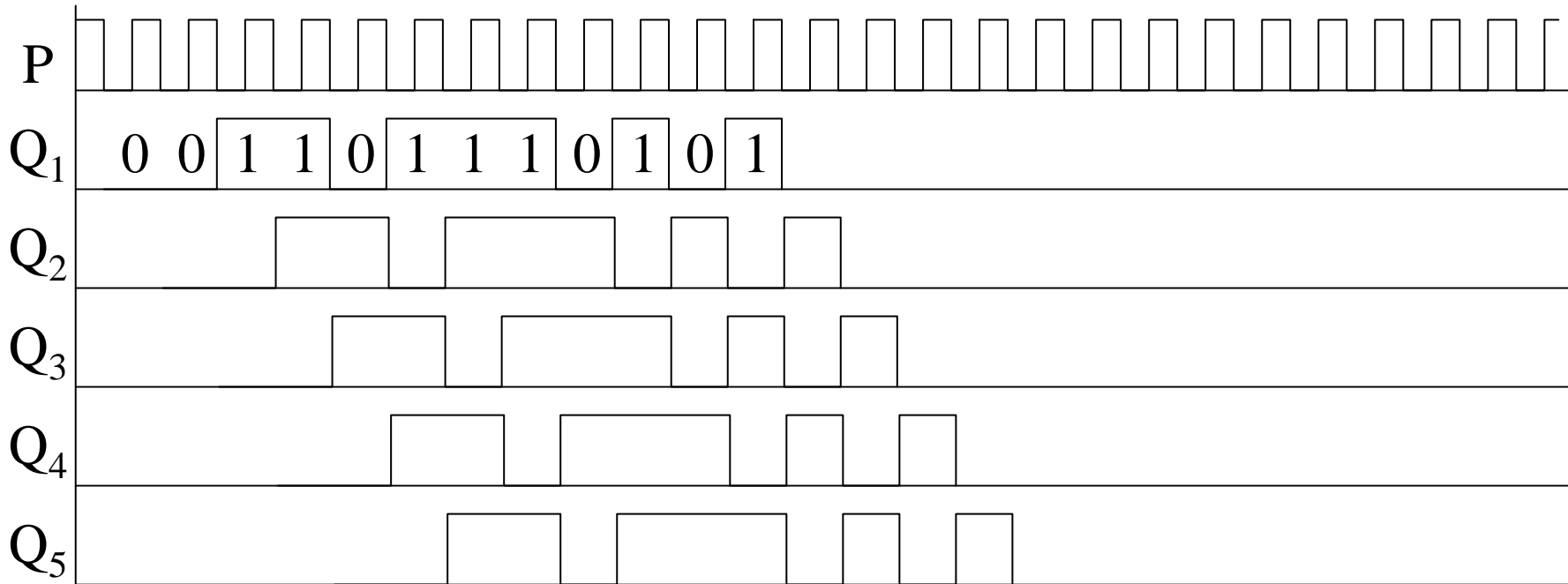
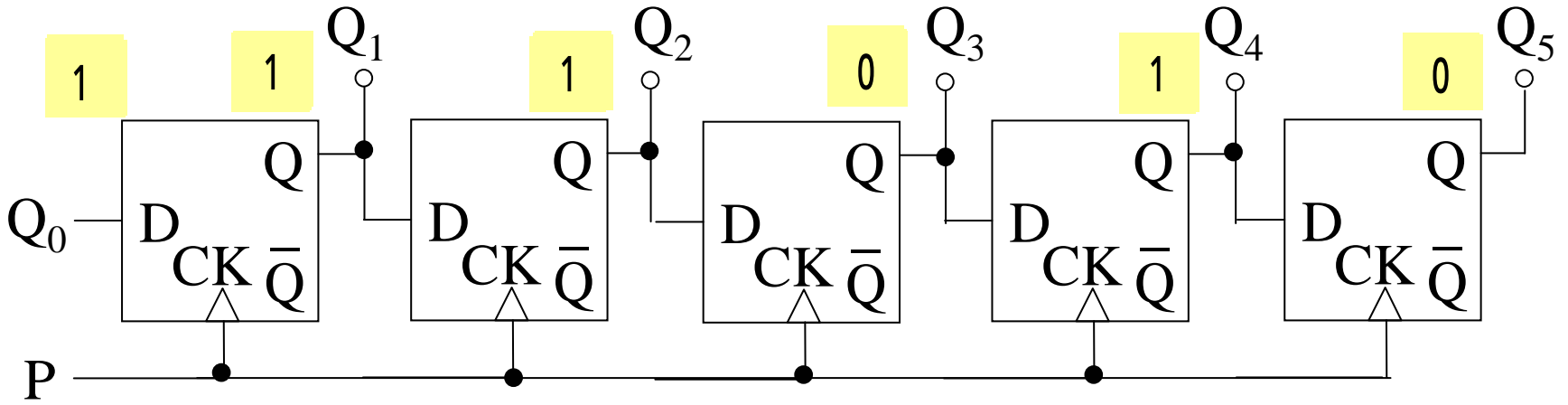
$$Q_{n+1} = D$$

動作のまとめ

D	Q_{n+1}	
0	0	: Reset
1	1	: Set

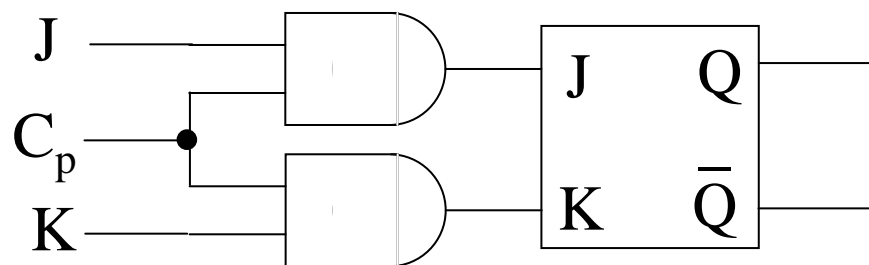
3.5 D-FF の応用: シフトレジスタ

...クロックパルスでデータが右へシフトする

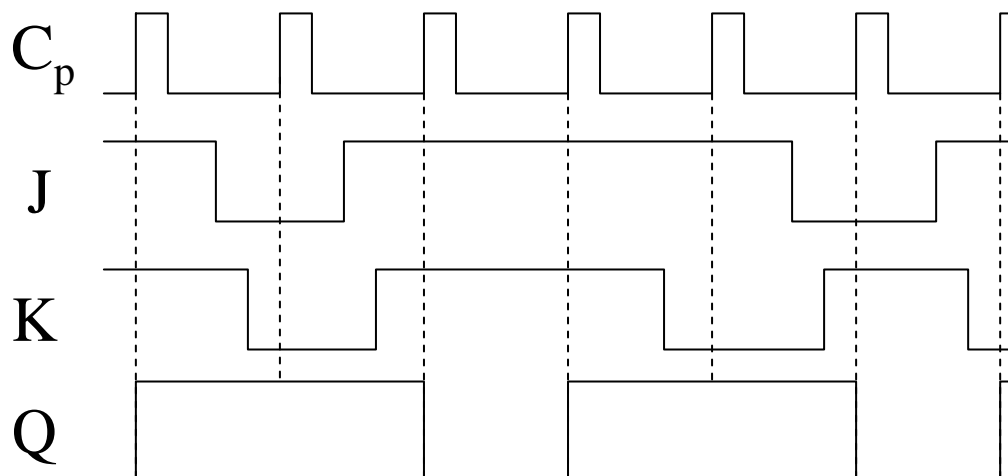


4. 動作形態によるFFの分類

4.1 同期形JK-FF

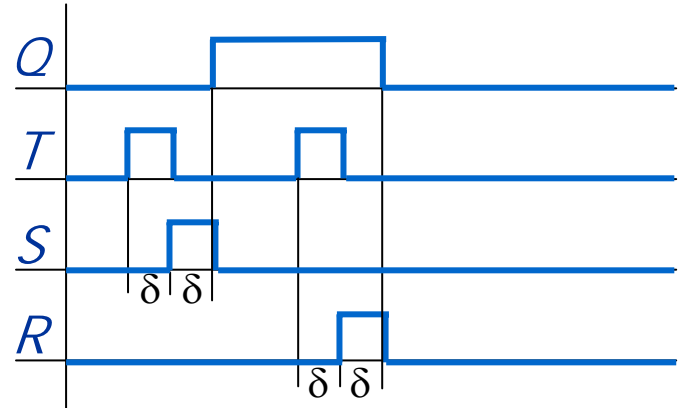
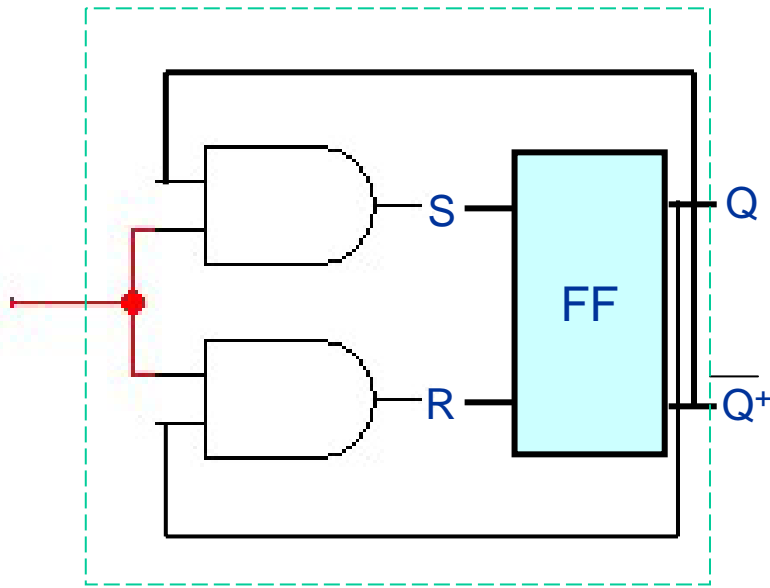


C_p : 同期パルス



JとKとに微妙なタイミングのずれがあっても同期パルスを用いることで、誤動作を防ぐことができる。

クロック付きフリップフロップの必要性

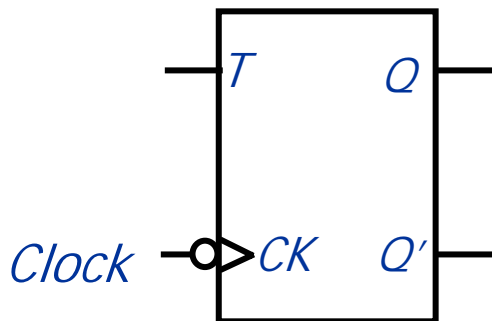


T型FFにおいてT入力は十分に狭いパルスを出す。
もし回路の遅延を以上の幅広い間“1”を保持すると

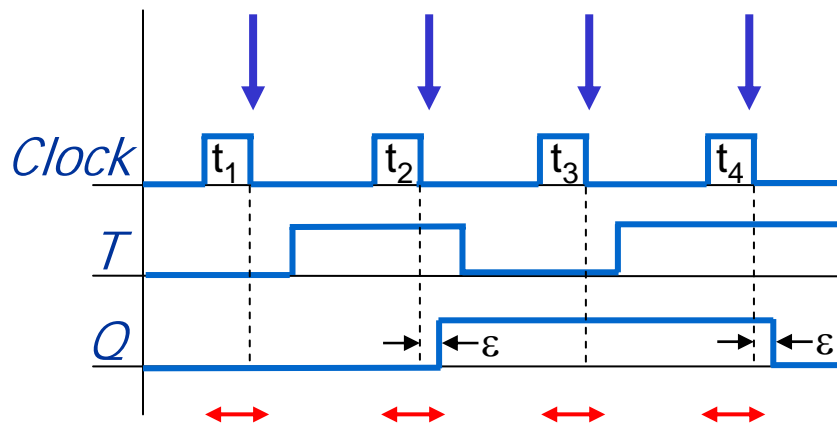
動作原理上、発振してしまうことになる。

別のクロック信号を用いて、クロック毎に入力を活性化させると使いやすい。同期式順序回路

クロック入力付きフリップフロップ



状態変化のタイミング



Tの変化禁止区間

状態変化はクロックに同期

クロックが立ち下がった時から遷移が始まる回路が多い

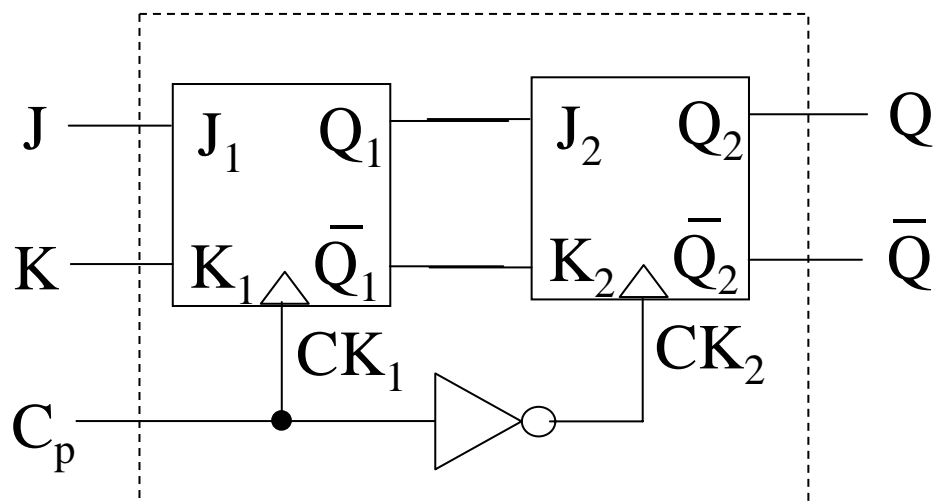
T入力は任意の幅を持って良い

但しクロックが立ち上がって、下がるまで間とそのわずかな前後は変化禁止。(動作が保障されない)

クロック信号は明示せず省略することが多い。

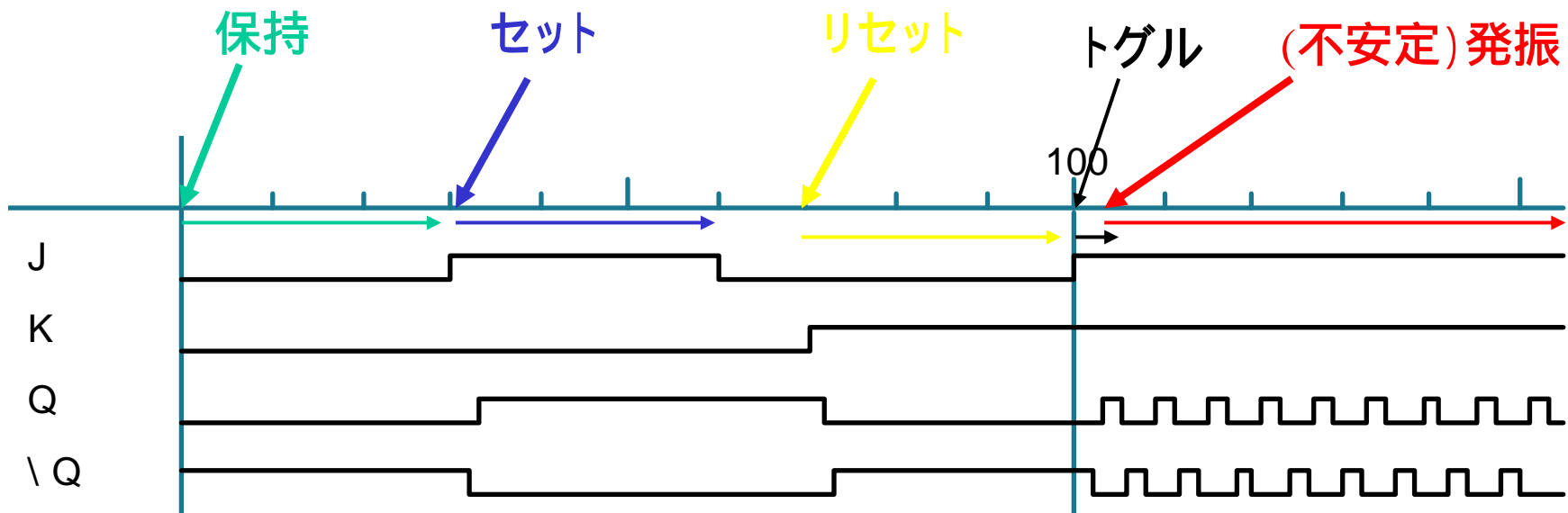
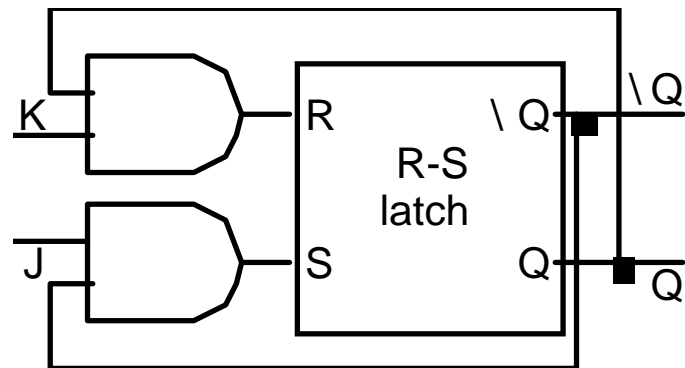
実用回路では上記回路でT=1としてクロック入力をT入力と見る素子が多い

4.2 マスタースレーブ形FF



2個のJK-FFを用いて1個のマスタースレーブ形FFを構成する。クロックパルスの立ち上がりで前段のJK-FFが入力情報を取り込んで一時記憶し、クロックパルスの立下りで後段のJK-FFに記録して出力する。クロックパルスがなまったことによる誤動作を防ぐために用いる。動作が安定化する。

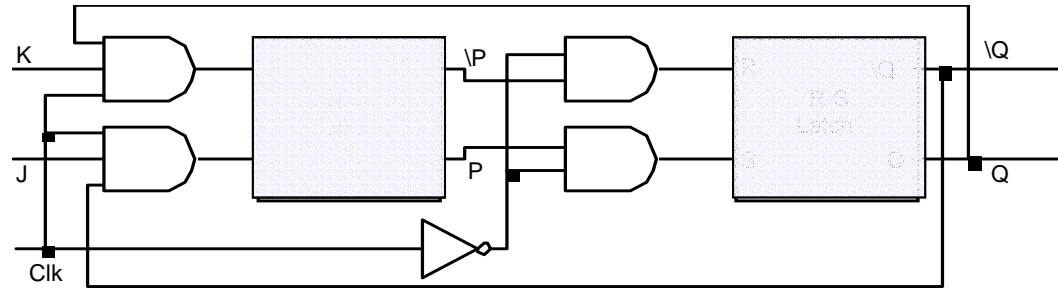
JK型フリップフロップの動作



マスタースレーブ型フリップフロップ

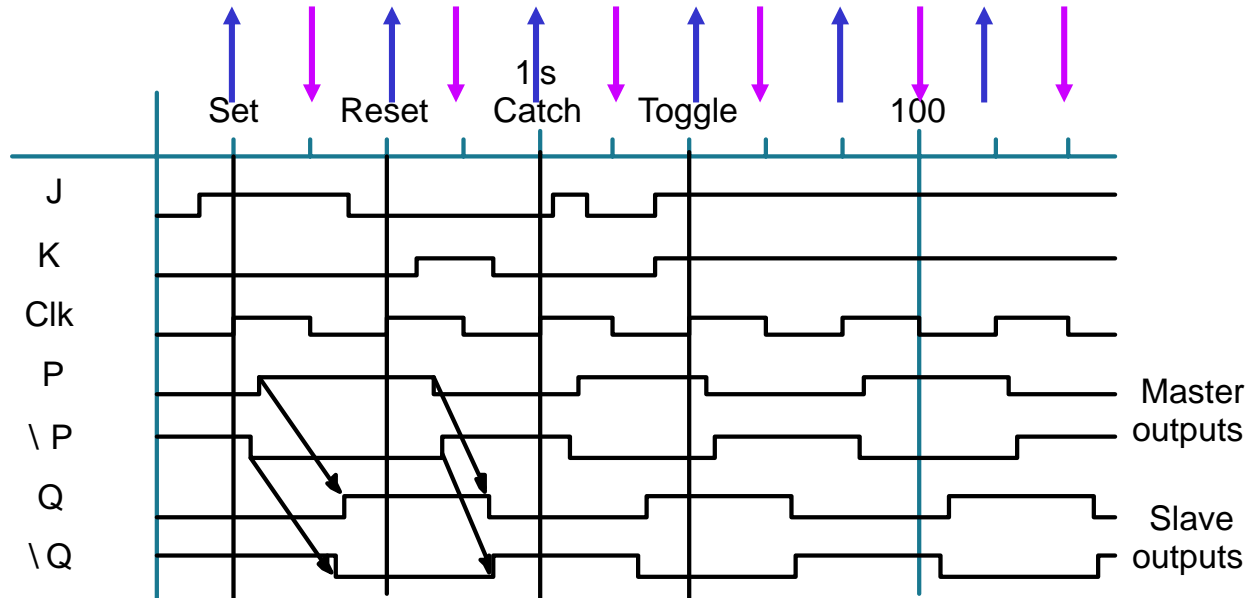
2つのFFを用いて、状態変化が前段にもどるのを防ぐ。

前段と後段のFFのセットタイミングをずらし、入力変化、状態変化の影響をガード



入力側FF(マスター)

状態FF(スレーブ)

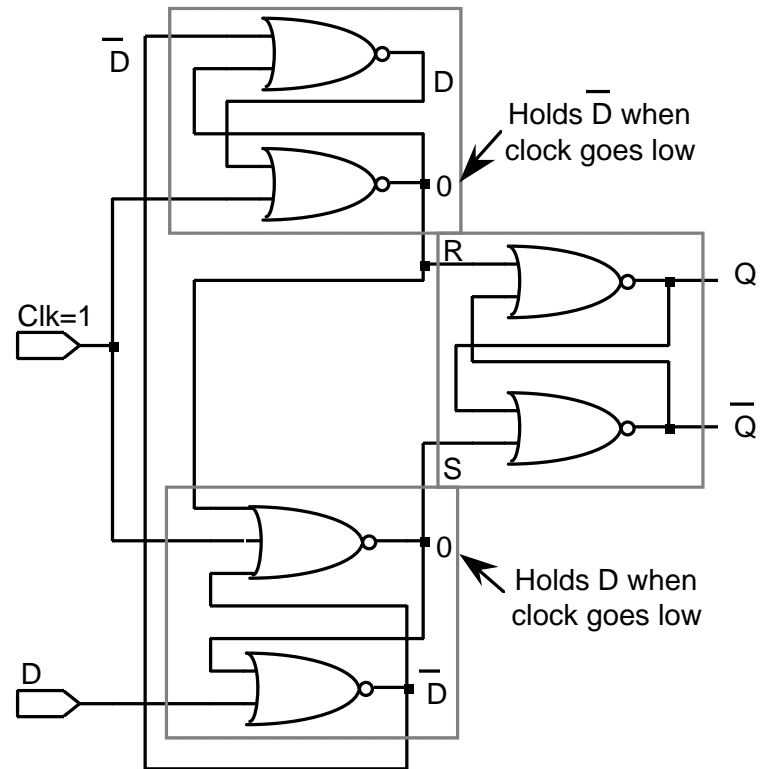


!!クロックがHの期間でJ入力がHになったの

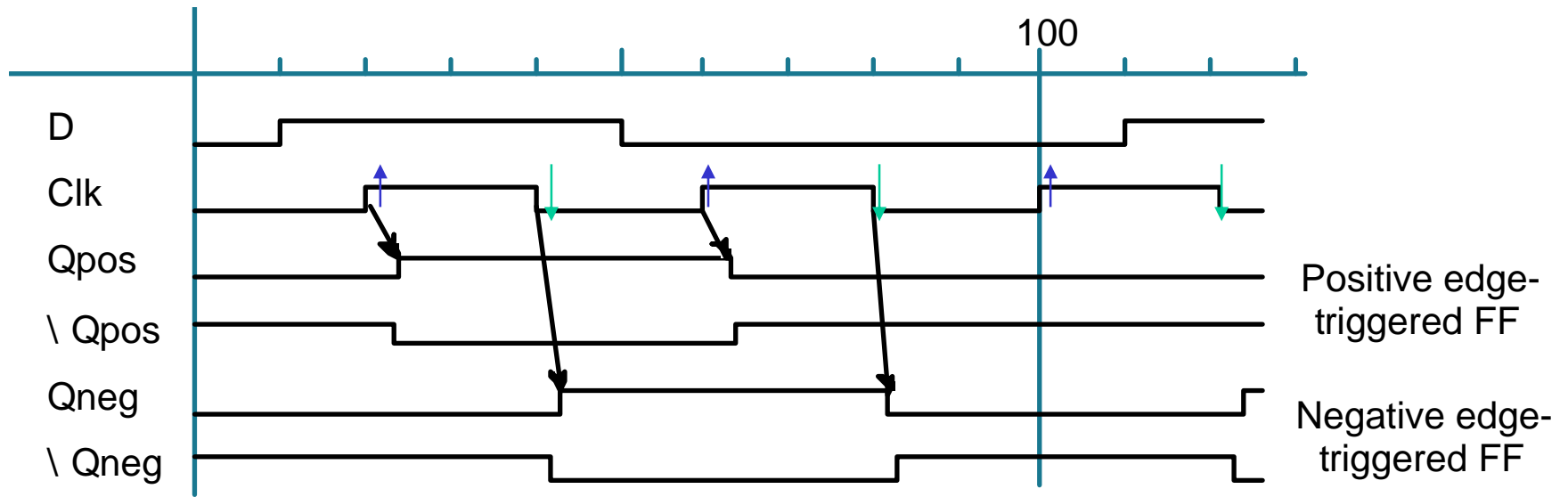
エッジトリガー型フリップフロップ

状態変化をクロックの上がりエッジか下りエッジのタイミングで起こすようにしたFF。

使い易いがダイナミックな動作になるので使用には注意が必要。(7474)

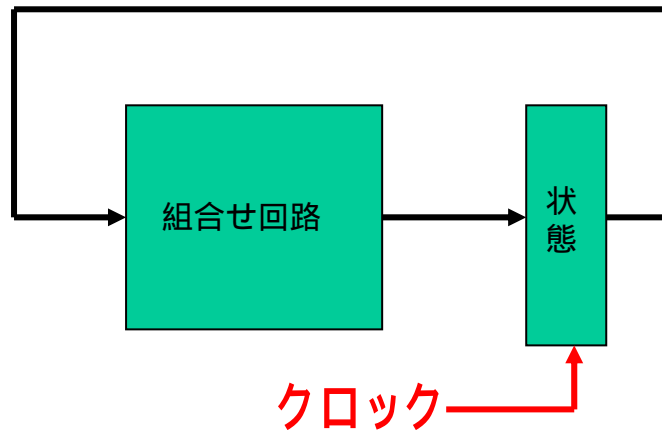


ポジティブエッジトリガー / ネガティブエッジトリガー型



1相クロック

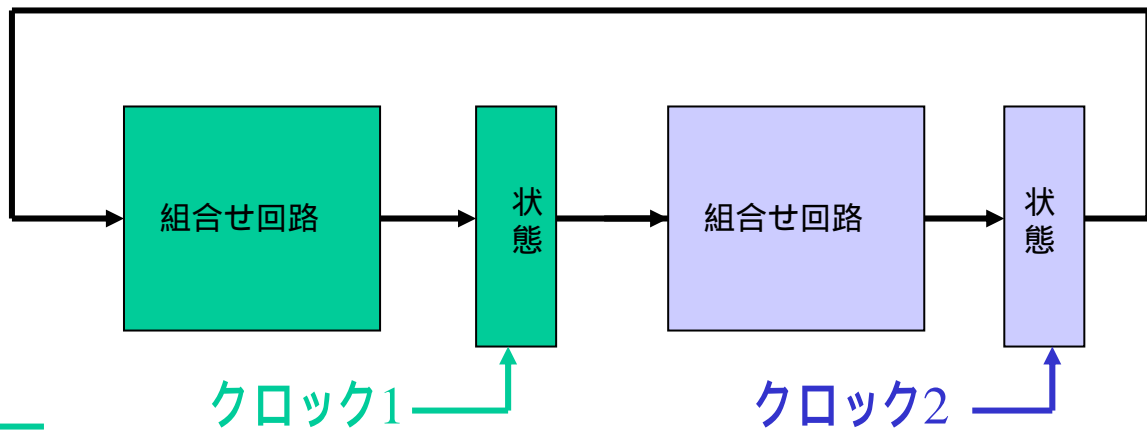
クロックの幅は狭く



クロック幅 < 最速なパスの遅延

クロック間隔 > 最低速なパスの遅延

2相クロック

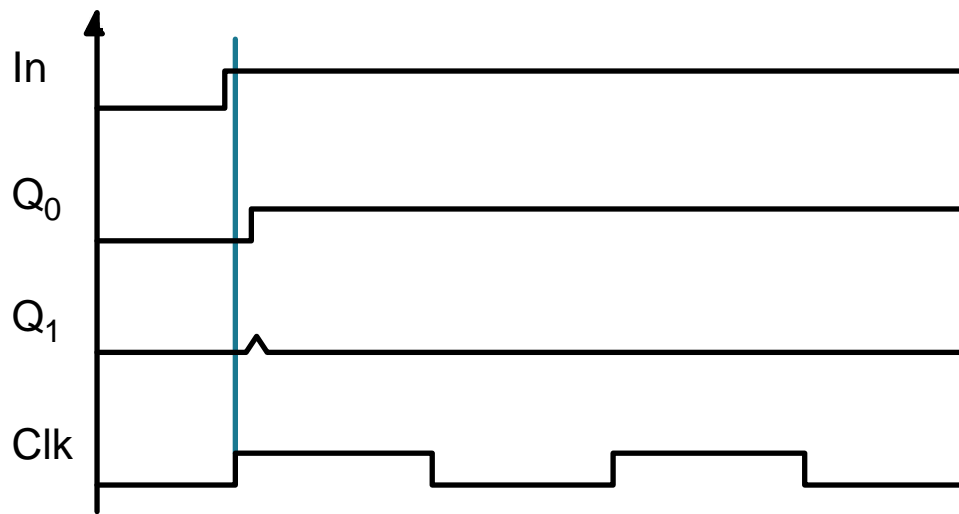


最速なパスは気にしなくて良い(ループを切断)

最低速なパスのみ配慮した設計可

FF利用上の注意事項

セットアップ / ホールド時間を守る



←→ セットアップホールド時間内
は入力を変えてはいけな

状態変化を起こすタイミングに入力の変化が起こると
状態変化は不安定。

0にも1にもなりうる。しばらく発振することも

5 . 実験項目

本日の課題1:

RS-FFを組み上げて動作を理解する。

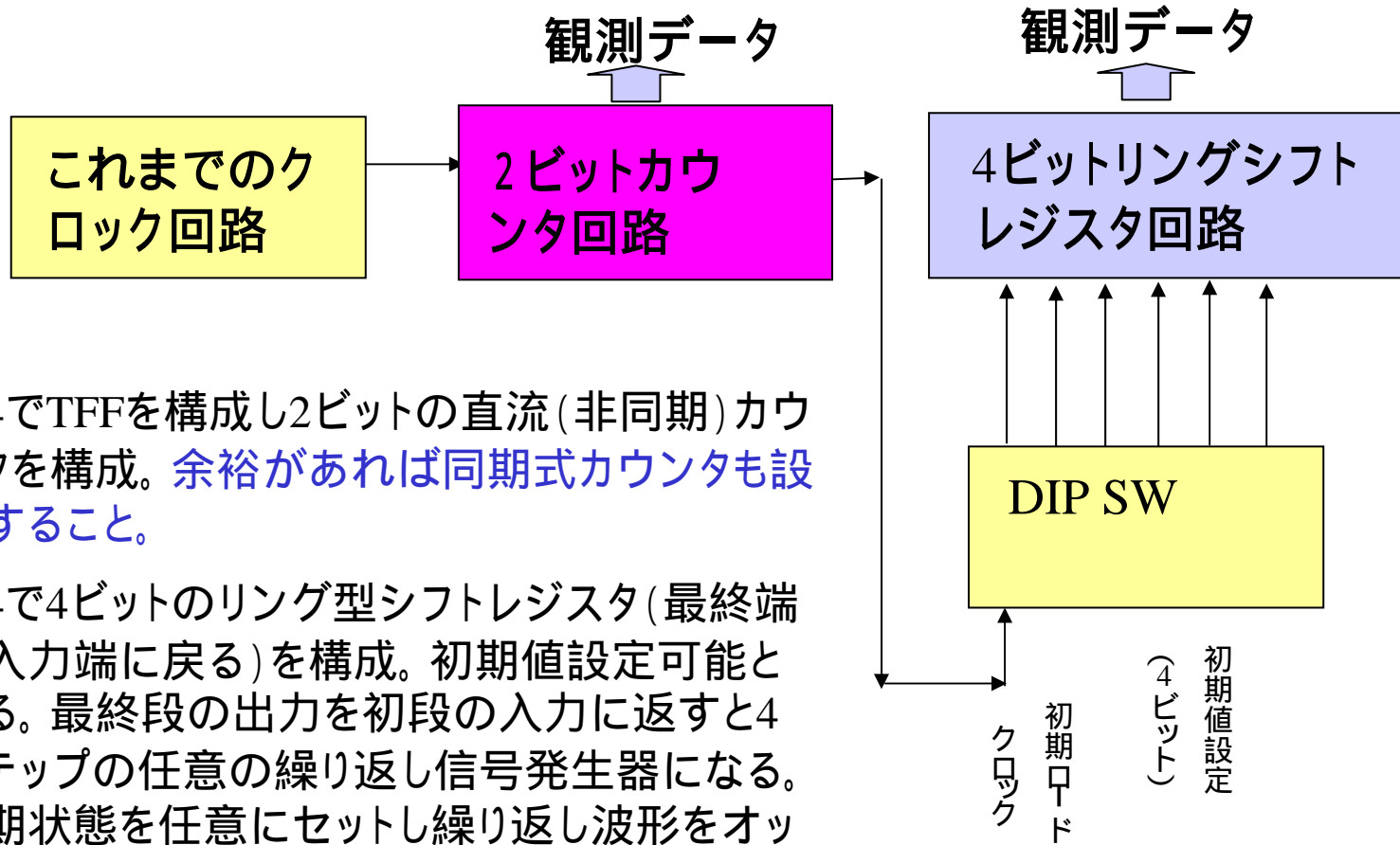
2-a NOR回路の利用

2-b NAND回路の利用

本日の課題2:

7474を使って分周期(カウンタ)と(リング)シフトレジスタを構成

本日の課題2:7474を使って分周期(カウンタ)と(リング)シフトレジスタの構成例



・74でTFFを構成し2ビットの直流(非同期)カウンタを構成。余裕があれば同期式カウンタも設計すること。

・74で4ビットのリング型シフトレジスタ(最終端が入力端に戻る)を構成。初期値設定可能とする。最終段の出力を初段の入力に返すと4ステップの任意の繰り返し信号発生器になる。初期状態を任意にセットし繰り返し波形をオシロで確認する。

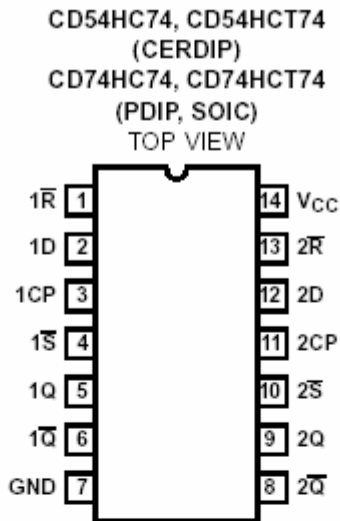
・DIPスイッチで初期値、クロックON/OFF,初期ロード信号を設定

・クロック回路はこれまでのものを流用

カウンタの動作、シフトレジスタの動作をシンクロで各部を観察。

(時間遅れ、...クロックの立上り/下がりでの動作確認...)

標準IC: 7474 エッジトリガー-DFF × 2個は便利



・CP,DをクランプしてR,Sだけを使うと

RS FFになる。

・TFFが容易に出来る。

・ポジティブエッジなので使いやすいが

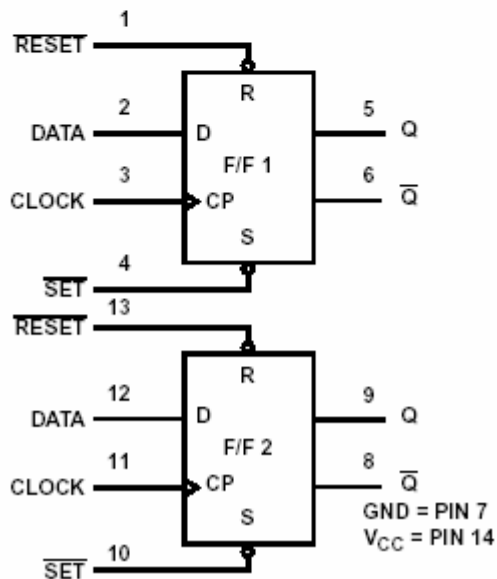
センシティブなので

供給電源の安定化が必要

通常は電解コンデンサと

セラミックコンデンサをペアで極近で

V_{CC},GND間に接続する。



6. 考察課題

- ・課題2で行った回路図を作成し、観測した各部の波形と回路上で動作を比較しながら、まとめること。
- ・JK-FFを直流駆動形で動作させるときの問題点をまとめなさい。
- ・同期形やマスタースレーブ形、エッジトリガ型ではその問題点をどのように解決しているのかをまとめなさい。

参考) 今後回路図を手書きですすめるのは面倒な場合は以下のようなフリーのソフトを使うと便利。

水魚堂の回路図エディタ

<http://www.suigyodo.com/online/schsoft.htm>

操作法、動作については本人の責任において使用すること。